

فضای طراحی تمام طراحی های ممکن

نسبت محاسبه به ارتباط

نسبت محاسبه به ارتباط

فضای طراحی طراحی های پشتیبانی شده توسط پلتفرم

شکل 8: جستجوی فضای طراحی

جدول 3: ارتباطات به اشتراک گذاری داده ی بخش ارتباطات



ابعاد بی ارتباط

جدول 4: راه حل بهینه ی مختص لایه و بهینه سازی میان لایه ای



کل

بهینه سازی میان لایه ای

سیکل اجرا

ضریب بازشدگی بهینه



حافظه ی اصلی

کنترل کننده ی اینترفیس حافظه

موتور انتقال داده 1

موتور انتقال داده 0

کنترل کننده ی وقفه

شتابدهنده

شکل 10: بررسی پیاده سازی



مدیریت انتقال داده ی خارج از چیپ

کنترل قابل برنامه ریزی

مجموعه بافر ورودی 1

مجموعه بافر ورودی 0

مجموعه بافر خارجی 1

مجموعه بافر خارجی 0

مجموعه بافر خارجی 0

شکل 11: بلوک دیاگرام شتابدهنده ی پیشنهاد شده



شکل 12: گراف زمان بندی



ارتباط تعداد پهنای باند IP

ارتباط پهنای باند-پهنای بیت تک IP

شکل 13: پهنای باند IP-DRAM

جدول 6: کاربرد منابع FPGA



کاربرد

در دسترس

استفاده شده

منبع

جدول 5: مقایسه با پیاده سازی های پیشین

جدول 7: مقایسه ی کارایی با CPU

جدول 8: مصرف توان و انرژی

جدول 9: مقایسه ی مصرف منابع

شکل 14: اندازه گیری توان اجرای روی برد